

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-184103

(P2007-184103A)

(43) 公開日 平成19年7月19日(2007.7.19)

(51) Int.C1.

G 11 C 16/02 (2006.01)
G 11 C 16/04 (2006.01)
G 11 C 16/06 (2006.01)

F I

G 11 C 17/00 6 4 1
G 11 C 17/00 6 1 1 A
G 11 C 17/00 6 2 2 E
G 11 C 17/00 6 3 4 G

テーマコード(参考)

5 B 1 2 5

審査請求 有 請求項の数 7 O.L. (全 23 頁)

(21) 出願番号 特願2007-96883 (P2007-96883)
(22) 出願日 平成19年4月2日 (2007.4.2)
(62) 分割の表示 特願2004-182695 (P2004-182695)
の分割
原出願日 平成5年9月21日 (1993.9.21)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100058479
弁理士 鈴江 武彦
(74) 代理人 100091351
弁理士 河野 哲
(74) 代理人 100088683
弁理士 中村 誠
(74) 代理人 100108855
弁理士 蔡田 昌俊
(74) 代理人 100075672
弁理士 峰 隆司
(74) 代理人 100109830
弁理士 福原 淳弘

最終頁に続く

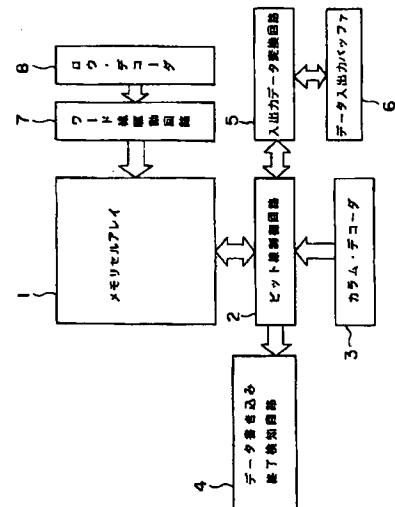
(54) 【発明の名称】不揮発性半導体記憶装置

(57) 【要約】

【課題】3値の情報を記憶することができ、かつ誤ベリファイを招くことなく書き込みベリファイ動作の高速化をはかり得るEEPROMを提供すること。

【解決手段】電気的書替え可能なメモリセルをマトリクス配置したメモリセルアレイ1を有し、1つのメモリセルに3つの記憶状態を持たせたEEPROMにおいて、メモリセルアレイに接続される複数のビット線と、メモリセルアレイに接続される複数のワード線と、各々がそれぞれのビット線に対して設けられ、各々が2つ以上のバイナリデータラッ奇回路から構成され、対応するメモリセルに書き込まれるn値の書き込みデータを2以上のバイナリデータの組み合わせで記憶し、対応するメモリセルから読み出されるn値の読み出しデータを2以上のバイナリデータの組み合わせで記憶する複数のデータラッ奇回路とを備えた。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

電気的書き替えを可能とし n 個の記憶状態 ($n \geq 3$) を持つことが可能な複数のメモリセルが直列接続された N A N D セルユニットと、前記 N A N D セルユニット内の書き込みのために選択されたメモリセルに書き込み電圧を印加し、前記選択されたメモリセル以外のメモリセルに 0 V と前記書き込み電圧との中間である電圧を持つ中間電圧を印加する書き込み回路と、を備えた不揮発性半導体記憶装置であって、

前記中間電圧が前記選択されたメモリセル以外のメモリセルに印加されるのを待って、前記書き込み電圧は前記選択されたメモリセルに印加されることを特徴とする不揮発性半導体記憶装置。

10

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、電気的書替え可能な不揮発性半導体記憶装置 (E E P R O M) に係わり、特に 1 つのメモリセルに 1 ビットより多い情報を記憶させる多値記憶を行う E E P R O M に関する。

【背景技術】

【0 0 0 2】

E E P R O M の 1 つとして、高集積化が可能な N A N D 型 E E P R O M が知られている。これは、複数のメモリセルをそれらのソース、ドレインを隣接するもの同士で共用する形で直列接続し 1 単位としてビット線に接続するものである。メモリセルは通常、電荷蓄積層と制御ゲートが積層された F E T M O S 構造を有する。メモリセルアレイは、p 型基板又は n 型基板に形成された p 型ウェル内に集積形成される。N A N D セルのドレイン側は選択ゲートを介してビット線に接続され、ソース側はやはり選択ゲートを介して共通ソース線に接続される。メモリセルの制御ゲートは、行方向に連続的に配設されてワード線となる。

20

【0 0 0 3】

この N A N D セル型 E E P R O M の動作は、次の通りである。データ書き込みは、ビット線から最も離れた位置のメモリセルから順に行う。選択されたメモリセルの制御ゲートには高電圧 V_{pp} (= 20 V 程度) を印加し、それよりビット線側にあるメモリセルの制御ゲート及び選択ゲートには中間電圧 V_{ppm} (= 10 V 程度) を印加し、ビット線にはデータに応じて 0 V 又は中間電圧 V_m (= 8 V 程度) を与える。ビット線に 0 V が与えられた時、その電位は選択メモリセルのドレインまで転送されて、電荷蓄積層に電子注入が生じる。これにより、選択されたメモリセルのしきい値は正方向にシフトする。この状態を例えば “1” とする。ビット線に V_m が与えられた時は電子注入が実効的に起こらず、従ってしきい値は変化せず、負に止まる。この状態は消去状態で “0” とする。データ書き込みは制御ゲートを共有するメモリセルに対して同時に行われる。

30

【0 0 0 4】

データ消去は、N A N D セル内の全てのメモリセルに対して同時に行われる。即ち全ての制御ゲートを 0 V とし、p 型ウェルを 20 V とする。このとき選択ゲート、ビット線、ソース線も 20 V にされる。これにより、全てのメモリセルで電荷蓄積層の電子が p 型ウェルに放出され、しきい値は負方向にシフトする。

40

【0 0 0 5】

データ読み出しが、選択されたメモリセルの制御ゲートを 0 V とし、それ以外のメモリセルの制御ゲート及び選択ゲートを電源電位 V_{cc} (例えば 5 V) として、選択メモリセルで電流が流れるか否かを検出することにより行われる。

【0 0 0 6】

読み出し動作の制約から、“1” 書き込み後のしきい値は 0 V から V_{cc} の間に制御しなければならない。このため書き込みペリファイが行われ、“1” 書き込み不足のメモリセルのみを検出し、“1” 書き込み不足のメモリセルに対してのみ再書き込みが行われる

50

よう再書き込みデータを設定する（ビット毎ベリファイ）。 “1”書き込み不足のメモリセルは、選択された制御ゲートを例えれば0.5V（ベリファイ電圧）にして読み出すこと（ベリファイ読み出し）で検出される。

【0007】

つまり、メモリセルのしきい値が0Vに対してマージンを持って、0.5V以上になつていないと、選択メモリセルで電流が流れ、“1”書き込み不足と検出される。“0”書き込み状態にするメモリセルでは当然電流が流れるため、このメモリセルが“1”書き込み不足と誤認されないよう、メモリセルを流れる電流を補償するベリファイ回路と呼ばれる回路が設けられる。このベリファイ回路によって高速に書き込みベリファイは実行される。

10

【0008】

書き込み動作と書き込みベリファイを繰り返しながらデータ書き込みをすることで、個々のメモリセルに対して書き込み時間が最適化され、“1”書き込み後のしきい値は0VからVccの間に制御される。

【0009】

このNANDセル型EEPROMで、多値記憶を実現するため、例えば書き込み後の状態を“0”，“1”，“2”的3つにすることを考える。“0”書き込み状態はしきい値が負、“1”書き込み状態はしきい値が例えば0Vから1/2Vcc，“2”書き込み状態はしきい値が1/2VccからVccまでとする。従来のベリファイ回路では、“0”書き込み状態にするメモリセルを、“1”又は“2”書き込み不足のメモリセルと誤認されることを防ぐことはできる。

20

【0010】

しかしながら、従来のベリファイ回路は多値記憶用でないため、“2”書き込み状態にするメモリセルで、そのしきい値が、“1”書き込み不足か否かを検出するためのベリファイ電圧以上で1/2Vcc以下の書き込み不足状態である場合、“1”書き込み不足か否かを検出する時にメモリセルで電流が流れず書き込み十分と誤認されてしまうという難点があった。

【0011】

また、書き込み不足の誤認を防止して多値の書き込みベリファイを行うには、“1”書き込み十分となったメモリセルに対し、“2”書き込み状態にするメモリセルには再書き込みを行い、“2”書き込み不足で状態であるか否かを検出してベリファイ書き込みを行うようにすればよい。しかしこの場合、“2”書き込み状態にするメモリセルに対しても“1”書き込みの後に“2”書き込み状態にするので、書き込みに時間がかかり書き込み速度が遅くなる。

30

【0012】

また、多値記憶のEEPROMは2値のデータを基に動作するコンピュータとの整合性が難しく、これもEEPROMの動作速度を低下させる要因になるという問題があった。

【発明の開示】

【発明が解決しようとする課題】

【0013】

以上のように従来のNANDセル型EEPROMに多値記憶させ、従来のベリファイ回路でビット毎ベリファイを行おうとすると、誤ベリファイが生じるという問題があった。また、多値のEEPROMの場合は、2値のデータを処理するコンピュータとのデータの授受が複雑になり、その結果としてEEPROMの動作速度が低下する問題があった。

40

【0014】

本発明は、上記事情を考慮してなされたもので、その目的とするところは、多値の情報を記憶することができ、かつ外部とは2値でデータの授受を行うことのできるEEPROMを提供することにある。

【課題を解決するための手段】

【0015】

50

上記課題を解決するために本発明は、次のような構成を採用している。

【0016】

即ち、本発明の一態様は、電気的書き替えを可能とし n 個の記憶状態 ($n \geq 3$) を持つことが可能な複数のメモリセルが直列接続された N A N D セルユニットと、前記 N A N D セルユニット内の書き込みのために選択されたメモリセルに書き込み電圧を印加し、前記選択されたメモリセル以外のメモリセルに 0 V と前記書き込み電圧との中間である電圧を持つ中間電圧を印加する書き込み回路と、を備えた不揮発性半導体記憶装置であって、前記中間電圧が前記選択されたメモリセル以外のメモリセルに印加されるのを待って、前記書き込み電圧は前記選択されたメモリセルに印加されることを特徴とする。

【発明の効果】

10

【0017】

本発明によれば、対応するメモリセルに書き込まれる n 値の書き込みデータを 2 以上のバイナリデータの組み合わせで記憶し、対応するメモリセルから読み出される n 値の読み出しデータを 2 以上のバイナリデータの組み合わせで記憶する複数のデータラッチ回路を設けることにより、外部とは実質的に 2 値でデータの授受を行うことができ、従って 2 値のデータを基に動作するコンピュータとの整合をとることが可能となる。

【発明を実施するための最良の形態】

【0018】

以下、本発明の詳細を図示の実施形態によって説明する。

【0019】

20

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態に係わる N A N D セル型 E E P R O M の概略構成を示すブロック図である。

【0020】

メモリセルアレイ 1 に対して、読み出し／書き込み時のビット線を制御するためのビット線制御回路 2 と、ワード線電位を制御するためのワード線駆動回路 7 が設けられる。ビット線制御回路 2、ワード線駆動回路 7 は、それぞれカラム・デコーダ 3、ロウ・デコーダ 8 によって選択される。ビット線制御回路 2 は、データ入出力線 (I O 線) を介して出入力データ変換回路 5 と読み出しデータ／書き込みデータのやり取りを行う。出入力データ変換回路 5 は、読み出されたメモリセルの多値情報を外部に出力するため 2 値情報に変換し、外部から入力された書き込みデータの 2 値情報をメモリセルの多値情報に変換する。出入力データ変換回路 5 は、外部とのデータ入出力を制御するデータ入出力バッファ 6 に接続される。データ書き込み終了検知回路 4 はデータ書き込みが終了したか否かを検知する。

30

【0021】

図 2、図 3 は、メモリセルアレイ 1 とビット線制御回路 2 の具体的な構成を示している。メモリセル M1 ～ M8 と選択トランジスタ S1、S2 で、N A N D 型セルを構成する。N A N D 型セルの一端はビット線 B L に接続され、他端は共通ソース線 V s と接続される。選択ゲート S G 1、S G 2、制御ゲート C G 1 ～ C G 8 は、複数個の N A N D 型セルで共有され、1 本の制御ゲートを共有するメモリセルはページを構成する。メモリセルはそのしきい値 V t でデータを記憶し、V t が 0 V 以下である場合 “0” データ、V t が 0 V 以上 1.5 V 以下の場合 “1” データ、V t が 1.5 V 以上電源電圧以下の場合 “2” データとして記憶する。1 つのメモリセルで 3 つの状態を持たせ、2 つのメモリセルで 9 通りの組み合わせができる。この内、8 通りの組み合わせを用いて、2 つのメモリセルで 3 ビット分のデータを記憶する。この実施形態では、制御ゲートを共有する隣合う 2 つのメモリセルの組で 3 ビット分のデータを記憶する。また、メモリセルアレイ 1 は専用の p ウエル上に形成されている。

40

【0022】

クロック同期式インバータ C I 1、C I 2 と C I 3、C I 4 でそれぞれフリップ・フロップを構成し、書き込み／読み出しデータをラッチする。また、これらはセンス・アンプ

50

としても動作する。クロック同期式インバータ C I 1, C I 2 で構成されるフリップ・フロップは、「“0”書き込みをするか、「1」又は“2”書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが「“0”的情報を保持しているか、「1」又は“2”的情報を保持しているか」、を読み出しデータ情報としてラッチする。クロック同期式インバータ C I 3, C I 4 で構成されるフリップ・フロップは、「“1”書き込みをするか、「2」書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが「“2”的情報を保持しているか、「0」又は“1”的情報を保持しているか」、を読み出しデータ情報としてラッチする。

【0023】

n チャネル M O S ドランジスタの内で、Q n 1 は、プリチャージ信号 P R E が“H”となると電圧 V P R をビット線に転送する。Q n 2 は、ビット線接続信号 B L C が“H”となってビット線と主要なビット線制御回路を接続する。Q n 3 ~ Q n 6, Q n 9 ~ Q n 12 は、上述のフリップ・フロップにラッチされているデータに応じて、電圧 V B L H , V B L M , V B L L を選択的にビット線に転送する。Q n 7, Q n 8 はそれぞれ信号 S A C 2 , S A C 1 が“H”となることでフリップ・フロップとビット線を接続する。Q n 13 は、フリップ・フロップにラッチされている 1 ページ分のデータが全て同じか否かを検出するために設けられる。Q n 14, Q n 15 と Q n 16, Q n 17 はそれぞれカラム選択信号 C S L 1 , C S L 2 が“H”となって、対応するフリップ・フロップとデータ入出力線 I O A , I O B を選択的に接続する。

【0024】

なお、図 3においてインバータ部分を図 19 (a) に示すように省略して示しているが、これは図 19 (b) に示す回路構成となっている。

【0025】

次に、このように構成された E E P R O M の動作を図 4 ~ 図 6 に従って説明する。図 4 は読み出し動作のタイミング、図 5 は書き込み動作のタイミング、図 6 はベリファイ読み出し動作のタイミングを示している。いずれも制御ゲート C G 4 が選択された場合を例に示してある。

【0026】

読み出し動作は、2 つの基本サイクルで実行される。読み出し第 1 サイクルは、まず電圧 V P R が電源電圧 V c c となってビット線はプリチャージされ、プリチャージ信号 P R E が“L”となってビット線はフローティングにされる。続いて、選択ゲート S G 1 , S G 2 、制御ゲート C G 1 ~ C G 3 , C G 5 ~ C G 8 は V c c とされる。同時に制御ゲート C G 4 は 1.5 V にされる。選択されたメモリセルの V t が 1.5 V 以上の場合のみ、つまりデータ“2”が書き込まれている場合のみ、そのビット線は“H”レベルのまま保持される。

【0027】

この後、センス活性化信号 S E N 2 , S E N 2 B がそれぞれ“L”, “H”、ラッチ活性化信号 L A T 2 , L A T 2 B がそれぞれ“L”, “H”となって、クロック同期式インバータ C I 3 , C I 4 で構成されるフリップ・フロップはリセットされる。信号 S A C 2 が“H”となってクロック同期式インバータ C I 3 , C I 4 で構成されるフリップ・フロップとビット線は接続され、まずセンス活性化信号 S E N 2 , S E N 2 B がそれぞれ“H”, “L”となってビット線電位がセンスされた後、ラッチ活性化信号 L A T 2 , L A T 2 B がそれぞれ“H”, “L”となり、クロック同期式インバータ C I 3 , C I 4 で構成されるフリップ・フロップに、「“2”データか、1”又は“0”データか」の情報がラッチされる。

【0028】

読み出し第 2 サイクルは読み出し第 1 サイクルと、選択制御ゲート C G 4 の電圧が 1.5 V でなく 0 V であること、信号 S E N 2 , S E N 2 B , L A T 2 , L A T 2 B , S A C 2 の代わりに信号 S E N 1 , S E N 1 B , L A T 1 , L A T 1 B , S A C 1 が出力されることが違う。よって、読み出し第 2 サイクルでは、クロック同期式インバータ C I 1 , C I 2 で構

10

20

30

40

50

成されるフリップ・フロップに、「“0”データか、“1”又は“2”データか」の情報がラッチされる。

【0029】

以上説明した2つの読み出しサイクルによって、メモリセルに書き込まれたデータが読み出される。

【0030】

データ書き込みに先だってメモリセルのデータは消去され、メモリセルのしきい値 V_t は 0V 以下となっている。消去は p ウェル、共通ソース線 V_s 、選択ゲート $SG1, SG2$ を 20V にし、制御ゲート $CG1 \sim CG8$ を 0V として行われる。

【0031】

書き込み動作では、まずプリチャージ信号 PRE が “L” となってビット線がフローティングにされる。選択ゲート $SG1$ が V_{cc} 、制御ゲート $CG1 \sim CG8$ が V_{cc} とされる。選択ゲート $SG2$ は書き込み動作中 0V である。同時に、信号 $VRFY1, VRFY2, FIM, FIH$ が V_{cc} となる。“0”書き込みの場合は、クロック同期式インバータ CII_1, CII_2 で構成されるフリップ・フロップに、クロック同期式インバータ CII_1 の出力が “H” になるようにデータがラッチされているため、ビット線は V_{cc} により充電される。“1”又は“2”書き込みの場合は、ビット線は 0V である。

【0032】

続いて、選択ゲート $SG1$ 、制御ゲート $CG1 \sim CG8$ 、信号 BLC 、信号 $VRFY1$ と電圧 VSA が 10V 、電圧 $VBLH$ が 8V 、電圧 $VBLM$ が 1V となる。“1”書き込みの場合は、クロック同期式インバータ CII_3, CII_4 で構成されるフリップ・フロップに、クロック同期式インバータ CII_3 の出力が “H” になるようにデータがラッチされているため、ビット線 BL には 1V が印加される。“2”書き込みの場合はビット線は 0V 、“0”書き込みの場合は 8V となる。この後、選択された制御ゲート $CG4$ が 20V とされる。

【0033】

“1”又は“2”書き込みの場合は、ビット線 BL と制御ゲート $CG4$ の電位差によって電子がメモリセルの電荷蓄積層に注入され、メモリセルのしきい値は上昇する。“1”書き込みの場合は、“2”書き込みに比較してメモリセルの電荷蓄積層に注入すべき電荷量を少なくしなければならないため、ビット線 BL を 1V にして制御ゲート $CG4$ との電位差を 19V に緩和している。但し、この電位差の緩和はなくとも実施可能である。“0”書き込み時は、ビット線電圧 8V によってメモリセルのしきい値は実効的には変わらない。

【0034】

書き込み動作の終了時は、まず選択ゲート $SG1$ 、制御ゲート $CG1 \sim CG8$ を 0V とし、“0”書き込み時のビット線 BL の電圧 8V は遅れて 0V にリセットされる。この順序が反転すると一時的に“2”又は“1”書き込み動作の状態ができる、“0”書き込み時に間違ったデータを書いてしまうからである。

【0035】

書き込み動作後に、メモリセルの書き込み状態を確認し書き込み不足のメモリセルにのみ追加書き込みを行うため、ベリファイ読み出しが行われる。ベリファイ読み出し中は、電圧 $VBLH$ は V_{cc} 、 VBL は 0V 、 FIM は 0V である。

【0036】

ベリファイ読み出しが、2つの基本サイクルから実行される。この基本サイクルは読み出し第2サイクルに似ている。違うのは、選択された制御ゲート $CG4$ の電圧と、信号 $VRFY1, VRFY2, FIH$ が output されることである（ベリファイ読み出し第1サイクルでは $VRFY1$ のみ）。信号 $VRFY1, VRFY2, FIH$ は、選択ゲート $SG1, SG2$ 、制御ゲート $CG1 \sim CG8$ が 0V にリセットされた後で信号 $SEN1, SEN1B, LAT1, LAT1B$ がそれぞれ “L”, “H”, “L”, “H” になる前に出力される。言い替えると、ビット線の電位がメモリセルのしきい値によって決定した後で、クロッ

10

20

30

40

50

ク同期式インバータ C I 1, C I 2 で構成されるフリップ・フロップがリセットされる前である。選択された制御ゲート C G 4 の電圧は、読み出し時の 1. 5 V (第 1 サイクル)、0 V (第 2 サイクル) に対応して、2 V (第 1 サイクル)、0. 5 V (第 2 サイクル) と、0. 5 V のしきい値マージンを確保するために高くしてある。

【0037】

ここでは、クロック同期式インバータ C I 1, C I 2 で構成されるフリップ・フロップにラッチされているデータ (data 1)、クロック同期式インバータ C I 3, C I 4 で構成されるフリップ・フロップにラッチされているデータ (data 2) と選択されたメモリセルのしきい値によって決まるビット線 B L の電圧を説明する。data 1 は「“0”書き込みか、“1”又は“2”書き込みか」を制御し、“0”書き込みの場合は Q n 3 は“ON”状態、“1”又は“2”書き込みの場合は Q n 6 が“ON”状態である。data 2 は「“1”書き込みか、“2”書き込みか」を制御し、“1”書き込みの場合は Q n 10 は“ON”状態、“2”書き込みの場合は Q n 11 が“ON”状態である。

10

【0038】

“0”データ書き込み時 (初期書き込みデータが“0”) のベリファイ読み出し第 1 サイクルでは、メモリセルのデータが“0”であるから、制御ゲート C G 4 が 2 V になるとメモリセルによってビット線電位は“L”となる。その後信号 V R F Y 1 が“H”となることでビット線 B L は“H”となる。

【0039】

“1”データ書き込み時 (初期書き込みデータが“1”) のベリファイ読み出し第 1 サイクルでは、メモリセルのデータが“1”となるはずであるからメモリセルのしきい値は 1. 5 V 以下で、制御ゲート C G 4 が 2 V になるとメモリセルによってビット線電位は“L”となる。その後信号 V R F Y 1 が“H”となることで、既に“1”書き込み十分で data 1 が“0”書き込みを示している場合ビット線 B L は“H” (図 6 の(1))、さもなくばビット線 B L は“L” (図 6 の(2)) となる。

20

【0040】

“2”データ書き込み時 (初期書き込みデータが“2”) のベリファイ読み出し第 1 サイクルでは、選択メモリセルのデータが“2”となっていない (“2”書き込み不十分) 場合、制御ゲート C G 4 が 2 V になるとメモリセルによってビット線電位は“L”となる (図 6 の(5))。選択メモリセルが“2”書き込み十分になっている場合、制御ゲート C G 4 が 2 V になつてもビット線電位は“H”のままである (図 6 の(3)(4))。図 6 の(3) は既に“2”書き込み十分で data 1 が“0”書き込みを示している場合である。この場合、信号 V R F Y 1 が“H”となることで、電圧 V BH によってビット線 B L は再充電される。

30

【0041】

“0”データ書き込み時 (初期書き込みデータが“0”) のベリファイ読み出し第 2 サイクルでは、メモリセルのデータが“0”であるから、制御ゲート C G 4 が 0. 5 V になるとメモリセルによってビット線電位は“L”となる。その後、信号 V R F Y 1 が“H”となることでビット線 B L は“H”となる。

40

【0042】

“1”データ書き込み時 (初期書き込みデータが“1”) のベリファイ読み出し第 2 サイクルでは、選択メモリセルのデータが“1”となっていない (“1”書き込み不十分) 場合、制御ゲート C G 4 が 0. 5 V になるとメモリセルによってビット線電位は“L”となる (図 6 の(8))。選択メモリセルが“1”書き込み十分になっている場合、制御ゲート C G 4 が 0. 5 V になつてもビット線電位は“H”のままである (図 6 の(6)(7))。図 6 の(6) は既に“1”書き込み十分で data 1 が“0”書き込みを示している場合である。この場合信号 V R F Y 1 が“H”となることで、電圧 V BH によってビット線 B L は再充電される。

【0043】

“2”データ書き込み時 (初期書き込みデータが“2”) のベリファイ読み出し第 2 サ

50

イクルでは、メモリセルのデータが“2”となるはずであるからメモリセルのしきい値が0.5V以上であれば“2”書き込み十分でも不十分でも、制御ゲートCG4が0.5Vになってもビット線電位は“H”的ままである(図6の(9)(10))。“2”書き込み不十分でメモリセルのしきい値が0.5V以下の場合、ビット線は“L”になる(図6の(11))。

【0044】

その後、信号VRFY1, VRFY2, FIHが“H”となることで、既に“2”書き込み十分でdata1が“0”書き込みを示している場合ビット線BLは“H”(図6の(9))、さもなくばビット線BLは“L”(図6の(10)(11))となる。

【0045】

このペリファイ読み出し動作によって、書き込みデータとメモリセルの書き込み状態から再書き込みデータが下記の(表1)のように設定される。

【表1】

書き込みデータ	0 0 0 1 1 2 2 2
セルのデータ	0 1 2 0 1 0 1 2
再書き込みデータ	0 0 0 1 0 2 2 0

10

20

【0046】

(表1)から分かるように、“1”書き込み不足のメモリセルのみ再度“1”書き込みが行われ、“2”書き込み不足のメモリセルにのみ再度“2”書き込みが行われるようになっている。また、全てのメモリセルでデータ書き込みが十分になると、全てのカラムのQn13が“OFF”となり、信号PENDBによってデータ書き込み終了情報が出力される。

【0047】

図7はデータの入出力動作タイミングを示しており、(a)はデータ入力タイミング、(b)はデータ出力タイミングである。外部からのデータ入力3サイクルの後、入出力データ変換回路5によって、ビット線制御回路2に入力するデータが発生され入力される。外部からの3ビット分のデータ(X1, X2, X3)は、2つのメモリセルのデータ(Y1, Y2)に変換され、実効的にはビット線制御回路2のクロック同期式インバータCI1, CI2で構成されるレジスタR1とCI3, CI4で構成されるレジスタR2に、データ入出力線IOA, IOBを介して変換データが設定される。レジスタR1, R2にラッピングされている読み出しデータは、データ入出力線IOA, IOBを介して入出力データ変換回路5に転送され変換されて出力される。図3に見られるカラム選択信号CSL1iとCSL2iを同一信号にして、そのかわりIOA, IOBを2系統に分けて同一カラムの2つのレジスタを同時にアクセスすることも容易に可能で、アクセス時間を短くするためには効果的である。

30

【0048】

下記の(表2)はデータ入力時の、外部からの3ビット分のデータ(X1, X2, X3)、メモリセルの2つのデータ(Y1, Y2)とY1, Y2それぞれに対応するレジスタR1, R2のデータの関係を示している。

40

【表2】

入力データ			セルデータ		IOA線データ			
					セルY ₁		セルY ₂	
X ₁	X ₂	X ₃	Y ₁	Y ₂	レジスタR1	レジスタR2	レジスタR1	レジスタR2
0	0	0	0	0	H	-	H	-
0	0	1	0	2	H	-	L	L
0	1	0	0	1	H	-	L	H
0	1	1	1	2	L	H	L	L
1	0	0	1	0	L	H	H	-
1	0	1	1	1	L	H	L	H
1	1	0	2	0	L	L	H	-
1	1	1	2	1	L	L	L	H
*インカ書き込み命令			2	2	L	L	L	L

10

20

【0049】

レジスタのデータはデータ転送時の入出力線 IOA の電圧レベルで表現してある。データ入出力線 IOB は IOA の反転信号であるため省略してある。下記の（表3）は、データ出力時のそれである。

【表3】

IOA線データ				セルデータ		出力データ		
セルY ₁		セルY ₂						
レジスタR1	レジスタR2	レジスタR1	レジスタR2	Y ₁	Y ₂	X ₁	X ₂	X ₃
L	L	L	L	0	0	0	0	0
L	L	H	H	0	2	0	0	1
L	L	H	L	0	1	0	1	0
H	L	H	H	1	2	0	1	1
H	L	L	L	1	0	1	0	0
H	L	H	L	1	1	1	0	1
H	H	L	L	2	0	1	1	0
H	H	H	L	2	1	1	1	1
H	H	H	H	2	2	*インカフラグ出力		

30

40

【0050】

この実施形態では同じデータに対して、入力時の IOA のレベルと出力時の IOA のレベ

50

ルが反転するようになっている。

【0051】

メモリセルの2つデータ (Y_1, Y_2) の9つの組み合わせのうち1つは余るため、これを例えばポインタ情報などファイル管理情報に利用することは可能である。ここではポインタ情報をセルデータ (Y_1, Y_2) = (2, 2) に対応させている。

【0052】

図8は、EEPROMをコントロールするマイクロプロセッサなどから見たときの、データ書き込みの単位であるページの概念を示している。ここでは1ページをNバイトとしていて、マイクロプロセッサなどから見たときのアドレス（論理アドレス）を表示している。例えば、領域1（論理アドレス0～n）だけしか書き込みデータが入力されないとき、 $n = 3m + 2$ ($m = 0, 1, 2, \dots$) であれば常に (X_1, X_2, X_3) が揃うので問題ない。 $n = 3m$ の場合は X_1 しか入力されないので、EEPROM内部で $X_2 = 0, X_3 = 0$ を発生して (X_1, X_2, X_3) を入出力データ変換回路5に入力する。 $n = 3m + 1$ の場合は $X_3 = 0$ を内部で発生する。このnがNと等しいときも同様である。

10

【0053】

領域1にデータ書き込みを行った（領域2の書き込みデータは全て“0”）後、追加的に領域2にデータ書き込みを行う場合、領域1の部分を読み出してそのデータに領域2の部分の書き込みデータを追加して入力すればよい。或いは、領域1の部分を読み出して、領域2の先頭アドレス $n + 1 = 3m$ の場合は領域1のデータを全て“0”、 $n + 1 = 3m + 2$ の場合アドレス $n - 1, n$ のデータを X_1, X_2 としてアドレス $n + 1$ のデータ X_3 に追加し領域1のアドレス $n - 2$ までのデータを全て“0”、 $n + 1 = 3m + 1$ の場合アドレス n のデータを X_1 としてアドレス $n + 1, n + 2$ のデータ X_2, X_3 に追加し領域1のアドレス $n - 1$ までのデータを全て“0”、としてもよい。これらの動作は、EEPROM内部で自動的に行うことも容易である。この追加データ書き込みが可能となるよう、（表2）及び（表3）に示してあるように (X_1, X_2, X_3) と (Y_1, Y_2) の関係は組まれている。（表2）及び（表3）に示してある (X_1, X_2, X_3) と (Y_1, Y_2) の関係は1つの例であってこれに限るものではない。また、領域は3以上でも同様に追加データ書き込みは行える。

20

【0054】

図9(a)は、データ書き込みアルゴリズムを示している。データロード後、書き込み、ペリファイ読み出しと書き込み終了検出動作が繰り返し行われる。点線の中はEEPROM内で自動的に行われる。

30

【0055】

図9(b)は、追加データ書き込みアルゴリズムを示している。読み出しとデータロード後、ペリファイ読み出し、書き込み終了検出と書き込み動作が繰り返し行われる。点線の中はEEPROM内で自動的に行われる。データロード後にペリファイ読み出しが行われるのは、既に“1”或いは“2”が書き込まれているところに書き込みが行われないようにするためである。そうないと過剰書き込みされる場合が生じる。

【0056】

図10は、このように構成されたEEPROMでの、メモリセルのしきい値の書き込み特性を示している。“1”データが書き込まれるメモリセルと“2”データが書き込まれるメモリセルは同時に書き込みが行われ、それぞれ独立に書き込み時間が制御される。

40

【0057】

下記の（表4）に、消去、書き込み、読み出し、ペリファイ読み出し時のメモリセルアレイ各部の電位を示す。

【表4】

	消去	書き込み '0' '1' '2'	読み出し		ペリフェイ 読み出し	
			第1サイクル	第2サイクル	第1サイクル	第2サイクル
BL	20V	8V 1V 0V	'2" 起し '03'H'	'0" 起し '0み'L'	図6参照	
SG1	20V	10V		5V	5V	
CG1	0V	10V		5V	5V	10
CG2	0V	10V		5V	5V	
CG3	0V	10V		5V	5V	
CG4	0V	20V	1.5V	0V	2V	0.5V
CG5	0V	10V		5V	5V	
CG6	0V	10V		5V	5V	
CG7	0V	10V		5V	5V	20
CG8	0V	10V		5V	5V	
SG2	20V	0V		5V	5V	
V _s	20V	0V		0V	0V	
Pwell	20V	0V		0V	0V	

【0058】

(第2の実施形態)

図11は、本発明の第2の実施形態におけるNORセル型EEPROMの、メモリセルアレイ1とビット線制御回路2の具体的な構成を示している。メモリセルM10のみで、NOR型セルを構成する。NOR型セルの一端はビット線BLに接続され、他端は共通接地線と接続される。1本の制御ゲートWLを共有するメモリセルMはページを構成する。メモリセルMはそのしきい値V_tでデータを記憶し、V_tがV_{cc}以上である場合“0”データ、V_tがV_{cc}以下2.5V以上の場合“1”データ、V_tが2.5V以下0V以上の場合“2”データとして記憶する。1つのメモリセルで3つの状態を持たせ、2つのメモリセルで9通りの組み合わせができる。この内、8通りの組み合わせを用いて、2つのメモリセルで3ビット分のデータを記憶する。この実施形態では、制御ゲートを共有する隣合う2つのメモリセルの組で3ビット分のデータを記憶する。

【0059】

クロック同期式インバータC15, C16とC17, C18でそれぞれフリップ・フロップを構成し、書き込み/読み出しデータをラッチする。また、センス・アンプとしても動作する。クロック同期式インバータC15, C16で構成されるフリップ・フロップは、「“0”書き込みをするか、“1”又は“2”書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが「“0”的情報を保持しているか、“1”又は“2”的情報を保持しているか」、を読み出しデータ情報としてラッチする。クロック同期式インバータC17, C18で構成されるフリップ・フロップは、「“1”書き込みをするか、“2”書き込みをするか」、を書き込みデータ情報としてラッチし、メモリセルが「“2”的情報を保持しているか、“0”又は“1”的情報を保持しているか」、を読み出し

30

40

50

データ情報としてラッチする。

【0060】

n チャネルMOSトランジスタの内、Qn18は、プリチャージ信号PREが“H”となると電圧VPRをビット線に転送する。Qn19は、ビット線接続信号BLCが“H”となってビット線と主要なビット線制御回路を接続する。Qn20～Qn23, Qn25～Qn28は、上述のフリップ・フロップにラッチされているデータに応じて、電圧VBLH, VBLM, 0Vを選択的にビット線に転送する。Qn24, Qn29はそれぞれ信号SAC2, SAC1が“H”となることでフリップ・フロップとビット線を接続する。Qn30は、フリップ・フロップにラッチされている1ページ分のデータが全て同じか否かを検出するために設けられる。Qn31, Qn32とQn33, Qn34はそれぞれカラム選択信号CSL1, CSL2が“H”となって、対応するフリップ・フロップとデータ入出力線IOA, IOBを選択的に接続する。

10

【0061】

次に、このように構成されたEEPROMの動作を図12～14に従って説明する。図12は読み出し動作のタイミング、図13は書き込み動作のタイミング、図14はベリファイ読み出し動作のタイミングを示している。

【0062】

読み出し動作は、2つの基本サイクルで実行される。読み出し第1サイクルは、まず電圧VPRが電源電圧Vccとなってビット線はプリチャージされ、プリチャージ信号PREが“L”となってビット線はフローティングにされる。続いて、制御ゲートWLは2.5Vにされる。選択されたメモリセルのVtが2.5V以下の場合のみ、つまりデータ“2”が書き込まれている場合のみ、そのビット線は“L”レベルになる。

20

【0063】

この後、センス活性化信号SEN2, SEN2Bがそれぞれ“L”, “H”、ラッチ活性化信号LAT2, LAT2Bがそれぞれ“L”, “H”となって、クロック同期式インバータCI7, CI8で構成されるフリップ・フロップはリセットされる。信号SAC2が“H”となってクロック同期式インバータCI7, CI8で構成されるフリップ・フロップとビット線は接続され、まずセンス活性化信号SEN2, SEN2Bがそれぞれ“H”, “L”となってビット線電位がセンスされた後、ラッチ活性化信号LAT2, LAT2Bがそれぞれ“H”, “L”となり、クロック同期式インバータCI7, CI8で構成されるフリップ・フロップに、「“2”データか、“1”又は“0”データか」の情報がラッチされる。

30

【0064】

読み出し第2サイクルは読み出し第1サイクルと、選択制御ゲートWLの電圧が2.5VでなくVccであること、信号SEN2, SEN2B, LAT2, LAT2B, SAC2の代わりに信号SEN1, SEN1B, LAT1, LAT1B, SAC1が出力されることが違う。よって、読み出し第2サイクルでは、クロック同期式インバータCI5, CI6で構成されるフリップ・フロップに、「“0”データか、“1”又は“2”データか」の情報がラッチされる。

40

【0065】

以上説明した2つの読み出しサイクルによって、メモリセルに書き込まれたデータが読み出される。

【0066】

データ書き込みに先だってメモリセルのデータは消去され、メモリセルのしきい値VtはVcc以上となっている。消去は、制御ゲートWLを20Vとしビット線を0Vにして行われる。

【0067】

書き込み動作では、まずプリチャージ信号PREが“L”となってビット線がフローティングにされる。信号VRFY1, VRFY2, FIM, FILがVccとなる。“2”書き込みの場合は、クロック同期式インバータCI5, CI6で構成されるフリップ・フロ

50

ップに、クロック同期式インバータ C I 5 の出力が “H” になるようにデータがラッチされているため、ビット線は 0 V である。“1” 又は “2” 書き込みの場合は、ビット線は V_{cc} に充電される。

【 0 0 6 8 】

続いて、信号 B L C, V R F Y 2, F I M, F I L と電圧 V_{SA} が 10 V、電圧 V_{BLH} が 8 V、電圧 V_{BLM} が 7 V となる。“1” 書き込みの場合は、クロック同期式インバータ C I 7, C I 8 で構成されるフリップ・フロップに、クロック同期式インバータ C I 7 の出力が “H” になるようにデータがラッチされているため、ビット線 B L には 7 V が印加される。“2” 書き込みの場合はビット線は 8 V、“0” 書き込みの場合は 0 V となる。この後、選択された制御ゲート W L が -12 V とされる。

10

【 0 0 6 9 】

“1” 又は “2” 書き込みの場合は、ビット線 B L と制御ゲート W L の電位差によって電子がメモリセルの電荷蓄積層から放出され、メモリセルのしきい値は下降する。“1” 書き込みの場合は、“2” 書き込みに比較してメモリセルの電荷蓄積層から放出すべき電荷量を少なくしなければならないため、ビット線 B L を 7 V にして制御ゲート W L との電位差を 19 V に緩和している。“0” 書き込み時は、ビット線電圧 0 V によってメモリセルのしきい値は実効的には変わらない。

【 0 0 7 0 】

書き込み動作後に、メモリセルの書き込み状態を確認し書き込み不足のメモリセルにのみ追加書き込みを行うため、ベリファイ読み出しが行われる。ベリファイ読み出し中は、電圧 V_{BLH} は V_{cc}、F I M は 0 V である。

20

【 0 0 7 1 】

ベリファイ読み出しは、2 つの基本サイクルから実行される。この基本サイクルは読み出し第 1 サイクルに似ている。違うのは、選択された制御ゲート W L の電圧と、信号 V R F Y 1, V R F Y 2, F I H が output されることである（ベリファイ読み出し第 1 サイクルでは V R F Y 1 のみ）。信号 V R F Y 1, V R F Y 2, F I H は、制御ゲート W L が 0 V にリセットされた後で信号 S E N 1, S E N 1B, L A T 1, L A T 1B がそれぞれ “L”, “H”, “L”, “H” になる前に出力される。言い替えると、ビット線の電位がメモリセルのしきい値によって決定した後で、クロック同期式インバータ C I 5, C I 6 で構成されるフリップ・フロップがリセットされる前である。選択された制御ゲート W L の電圧は、読み出し時の 2.5 V（第 1 サイクル）、V_{cc}（第 2 サイクル）に対応して、2 V（第 1 サイクル）、4 V（第 2 サイクル）と、しきい値マージンを確保するために低くしてある。

30

【 0 0 7 2 】

ここでは、クロック同期式インバータ C I 5, C I 6 で構成されるフリップ・フロップにラッチされているデータ (data 1)、クロック同期式インバータ C I 7, C I 8 で構成されるフリップ・フロップにラッチされているデータ (data 2) と選択されたメモリセルのしきい値によって決まるビット線 B L の電圧を説明する。data 1 は「“0” 書き込みか、“1” 又は “2” 書き込みか」を制御し、“0” 書き込みの場合は Q_{n 20} は “ON” 状態、“1” 又は “2” 書き込みの場合は Q_{n 23} が “ON” 状態である。data 2 は「“1” 書き込みか、“2” 書き込みか」を制御し、“1” 書き込みの場合は Q_{n 26} は “ON” 状態、“2” 書き込みの場合は Q_{n 27} が “ON” 状態である。

40

【 0 0 7 3 】

“0” データ書き込み時（初期書き込みデータが “0”）のベリファイ読み出し第 1 サイクルでは、メモリセルのデータが “0” であるから、制御ゲート W L が 2 V になつてもビット線電位は “H” のままである。その後信号 V R F Y 1 が “H” となることでビット線 B L は “L” となる。

【 0 0 7 4 】

“1” データ書き込み時（初期書き込みデータが “1”）のベリファイ読み出し第 1 サイクルでは、メモリセルのデータが “1” となるはずであるからメモリセルのしきい値は

50

2. 5 V 以上で、制御ゲート WL が 2 V になってもビット線電位は “H” のままである。その後信号 VRFY1 が “H” となることで、既に “1” 書き込み十分で data1 が “0” 書き込みを示している場合ビット線 BL は “L” (図 14 の(2))、さもなくばビット線 BL は “H” (図 14 の(1)) となる。

【0075】

“2” データ書き込み時 (初期書き込みデータが “2”) のベリファイ読み出し第 1 サイクルでは、選択メモリセルのデータが “2” となっていない (“2” 書き込み不十分) 場合、制御ゲート WL が 2 V になってもビット線電位は “H” である (図 14 の(3))。選択メモリセルが “2” 書き込み十分になっている場合、制御ゲート WL が 2 V になるとビット線電位はメモリセルによって “L” となる (図 14 の(4)(5))。図 14 の(5) は既に “2” 書き込み十分で data1 が “0” 書き込みを示している場合である。この場合、信号 VRFY1 が “H” となることで、ビット線 BL は接地される。

10

【0076】

“0” データ書き込み時 (初期書き込みデータが “0”) のベリファイ読み出し第 2 サイクルでは、メモリセルのデータが “0” であるから、制御ゲート CG4 が 4 V になってもビット線電位は “H” である。その後、信号 VRFY1 が “H” となることでビット線 BL は “L” となる。

【0077】

“1” データ書き込み時 (初期書き込みデータが “1”) のベリファイ読み出し第 2 サイクルでは、選択メモリセルのデータが “1” となっていない (“1” 書き込み不十分) 場合、制御ゲート WL が 4 V になってもビット線電位は “H” である (図 14 の(6))。選択メモリセルが “1” 書き込み十分になっている場合、制御ゲート WL が 4 V になるとメモリセルによりビット線電位は “L” となる (図 14 の(7)(8))。図 14 の(8) は既に “1” 書き込み十分で data1 が “0” 書き込みを示している場合である。この場合、信号 VRFY1 が “H” となることで、ビット線 BL は接地される。

20

【0078】

“2” データ書き込み時 (初期書き込みデータが “2”) のベリファイ読み出し第 2 サイクルでは、メモリセルのデータが “2” となるはずであるからメモリセルのしきい値が 4 V 以下であれば “2” 書き込み十分でも不十分でも、制御ゲート WL が 4 V になるとビット線電位は “L” となる (図 14 の(10)(11))。“2” 書き込み不十分でメモリセルのしきい値が 4 V 以上の場合、ビット線は “H” になる (図 14 の(9))。

30

【0079】

その後、信号 VRFY1, VRFY2, FIH が “H” となることで、既に “2” 書き込み十分で data1 が “0” 書き込みを示している場合ビット線 BL は “L” (図 14 の(11))、さもなくばビット線 BL は “H” (図 14 の(9)(10)) となる。

【0080】

このベリファイ読み出し動作によって、書き込みデータとメモリセルの書き込み状態から再書き込みデータが、第 1 の実施形態と同様に表 1 のように設定される。また、全てのメモリセルでデータ書き込みが十分になると、全てのカラムの Qn30 が “OFF” となり、信号 PENDB によってデータ書き込み終了情報が出力される。

40

【0081】

データの入出力動作タイミング、データ書き込みアルゴリズム、追加データ書き込みアルゴリズムなどは、図 7～9、(表 2～3) に見られるように第 1 の実施形態と同様である。

【0082】

図 15 は、このように構成された EEPROM での、メモリセルのしきい値の書き込み特性を示している。“1” データが書き込まれるメモリセルと “2” データが書き込まれるメモリセルは同時に書き込みが行われ、それぞれ独立に書き込み時間が制御される。

【0083】

下記の (表 5) は、消去、書き込み、読み出し、ベリファイ読み出し時のメモリセルア

50

レイ各部の電位を示している。

【表 5】

	消去	書き込み '0" '1" '2"	読み出し 第1サイクル 第2サイクル	ペリファイ 読み出し 第1サイクル 第2サイクル
BL	0V	0V 7V 8V	'2" 読出し '0" 読出し 時のみ "L" 時のみ "H"	図14参照
WL	20V	-12V	2.5V 5V	2.0V 4.0V

10

【0084】

(変形例)

図3, 11に示した回路は、例えばそれぞれ図16, 17のように変形できる。図16は、図2に見られるQn3, Qn4をpチャネルのMOSトランジスタQp1, Qp2に置き換えてある。図17は、図11に見られるQn22, Qn23, Qn25~Qn28をpチャネルのMOSトランジスタQp3~Qp8に置き換えてある。このようにすることで、nチャネルMOSトランジスタのしきい値による転送できる電圧の降下を防ぐことができ、この例では、電圧VSAを書き込み時に8Vまで上げればよく回路を構成するトランジスタの耐圧を下げることができる。図16のVRFY1Bは図2, 3のVRFY1の反転信号、図17のVRFY2B, FILB, FIMBは図11のVRFY2, FIL, FIMのそれぞれ反転信号である。

20

【0085】

図8で、追加データ書き込みについて説明したが、例えば図18のように追加データ書き込みを容易にするため、1ページを分割しておくことも1つの有効な方法である。この例では論理アドレス32番地毎にメモリセル22個で1つの領域を構成する。これによつて領域単位での追加データ書き込みは容易となる。つまり領域2に追加データ書き込みをする場合、領域2以外の領域の書き込みデータを全て“0”として、図9(a)に見られるデータ書き込みアルゴリズムに従つて行えばよい。1つの領域のサイズは図18に示している以外の大きさでもかまわない。

30

【図面の簡単な説明】

【0086】

【図1】第1及び第2の実施形態に係わるEEPROMの概略構成を示すブロック図。

【図2】第1の実施形態におけるメモリセルアレイの具体的構成を示す図。

【図3】第1の実施形態におけるビット線制御回路の具体的構成を示す図。

【図4】第1の実施形態における読み出し動作を示すタイミング図。

【図5】第1の実施形態における書き込み動作を示すタイミング図。

【図6】第1の実施形態におけるペリファイ読み出し動作を示すタイミング図。

【図7】第1及び第2の実施形態におけるデータの入出力動作を示すタイミング図。

【図8】第1及び第2の実施形態における書き込み／読み出し単位のページの概念を示す図。

40

【図9】第1, 第2の実施形態におけるデータ書き込み及び追加データ書き込みアルゴリズムを示す図。

【図10】第1の実施形態におけるメモリセルの書き込み特性を示す図。

【図11】第2の実施形態におけるメモリセルアレイとビット線制御回路の構成を示す図。

【図12】第2の実施形態における読み出し動作を示すタイミング図。

【図13】第2の実施形態における書き込み動作を示すタイミング図。

【図14】第2の実施形態におけるペリファイ読み出し動作を示すタイミング図。

【図15】第2の実施形態におけるメモリセルの書き込み特性を示す図。

50

【図16】第1の実施形態におけるビット線制御回路の変形例を示す図。

【図17】第2の実施形態におけるビット線制御回路の変形例を示す図。

【図18】第1及び第2の実施形態における追加データ書き込みの単位を示す図。

【図19】図3に示すインバータ部分の具体的構成例を示す図。

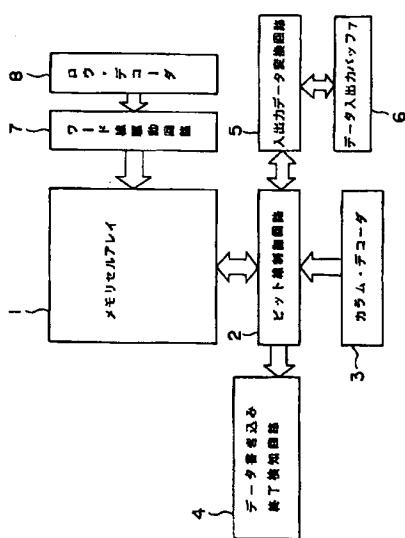
【符号の説明】

【0087】

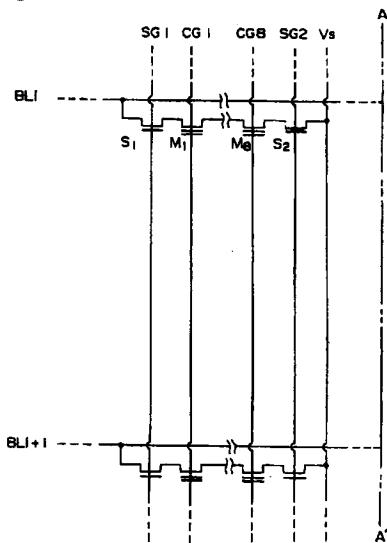
- 1 … メモリセルアレイ
- 2 … ビット線制御回路
- 3 … カラム・デコーダ
- 4 … データ書き込み終了検知回路
- 5 … 入出力データ変換回路
- 6 … データ入出力バッファ
- 7 … ワード線駆動回路
- 8 … ロウ・デコーダ

10

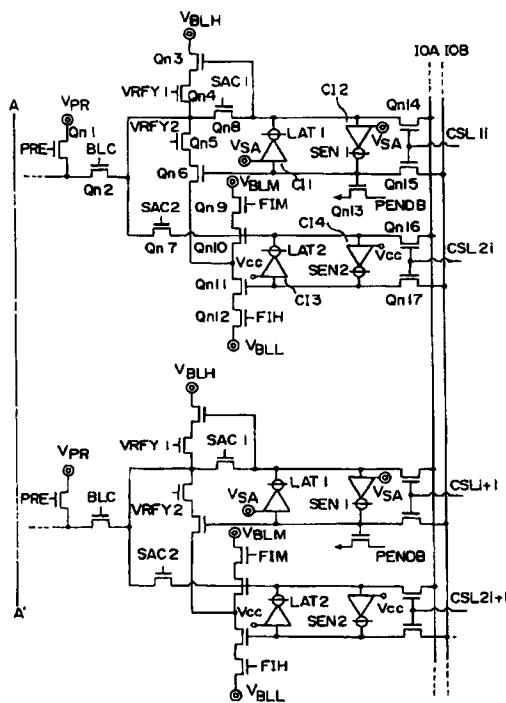
【図1】



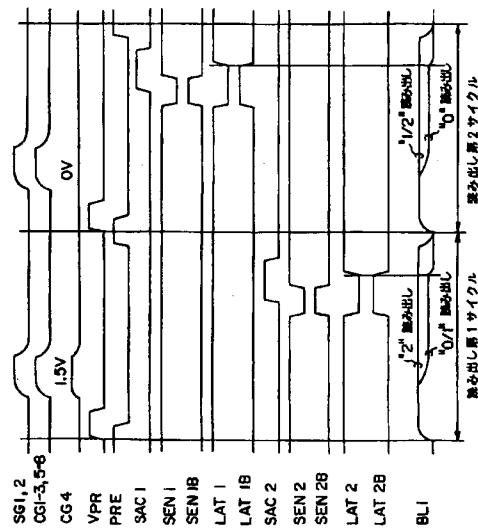
【図2】



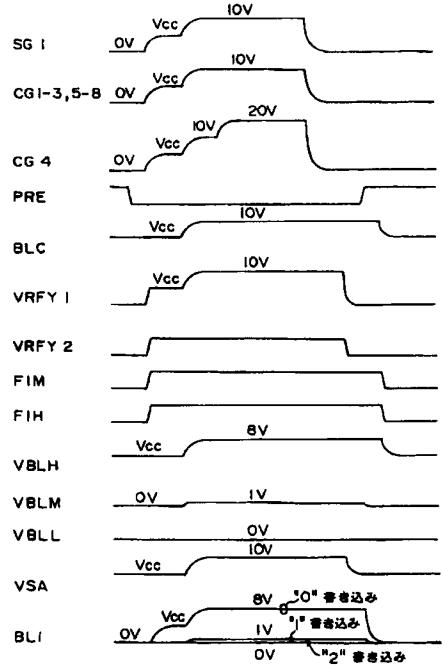
【図3】



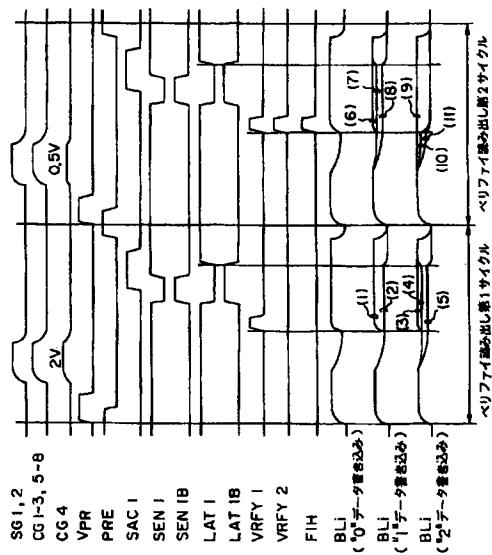
[図4]



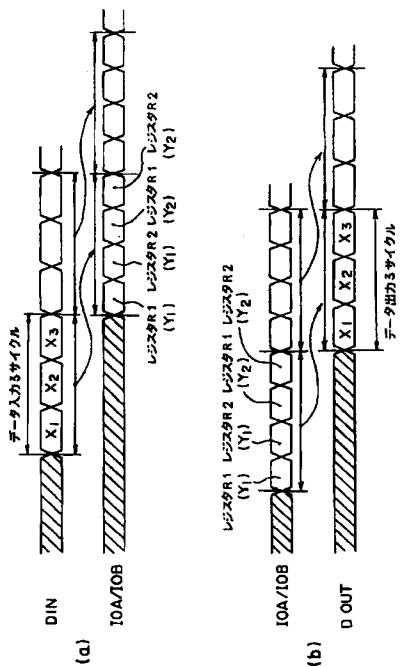
[図 5]



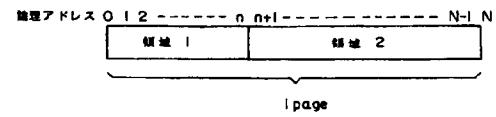
【図6】



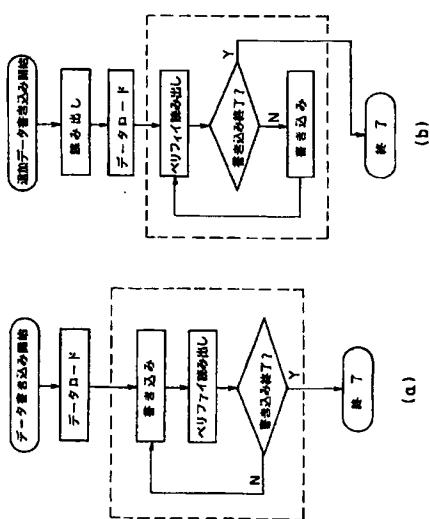
【図7】



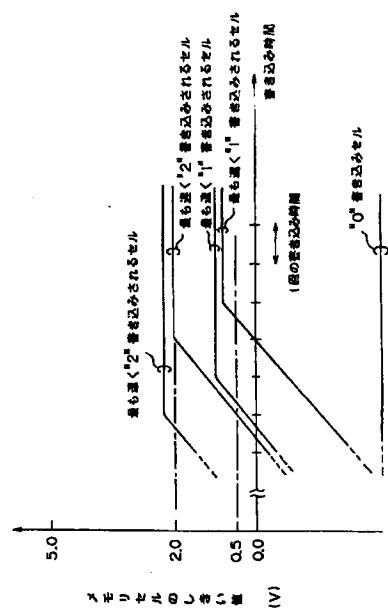
[図 8]



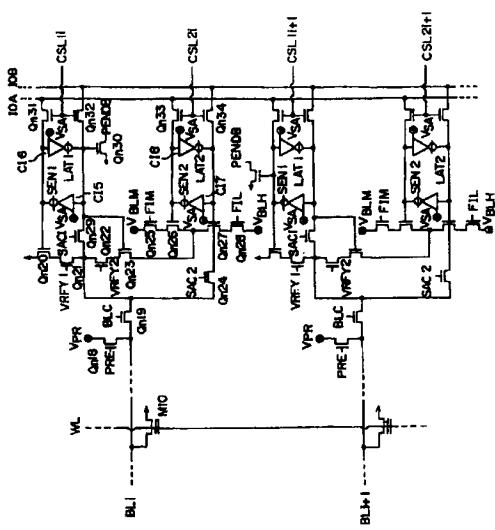
[図9]



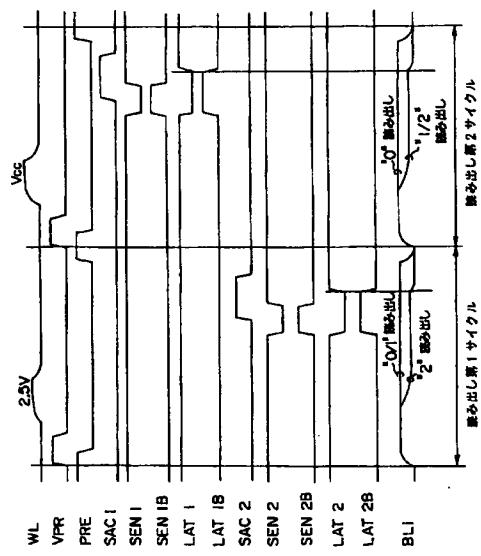
【図 10】



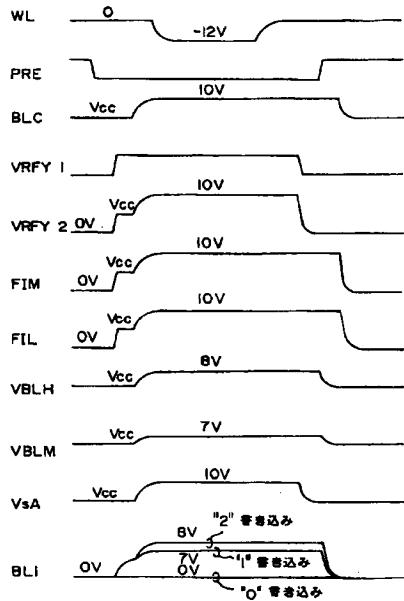
【図 1 1】



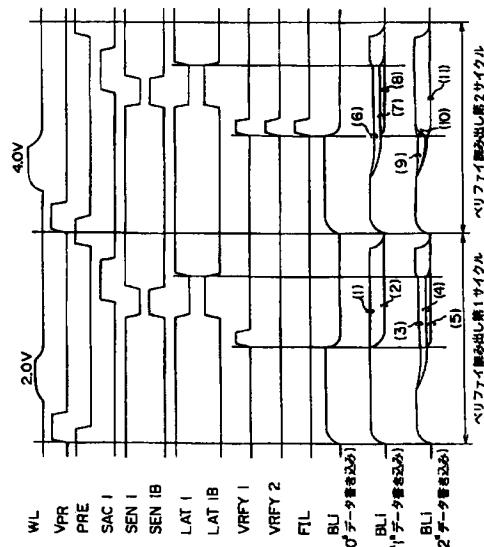
【図 1 2】



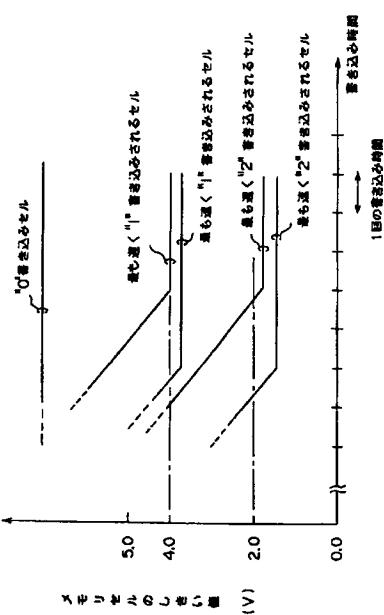
【図 1 3】



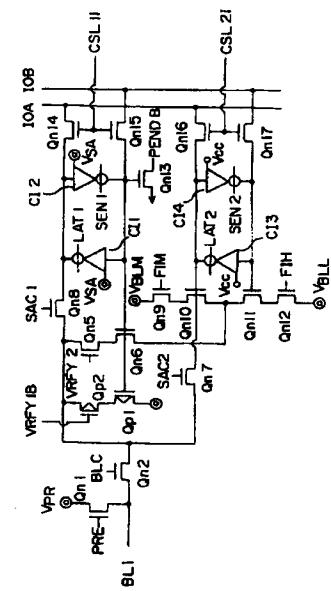
【図 1-4】



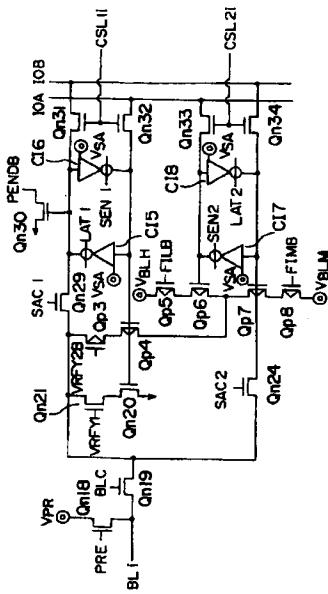
【図15】



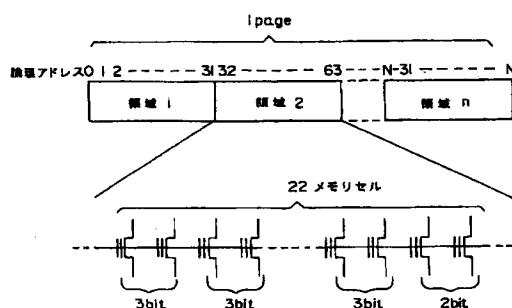
【図 1 6】



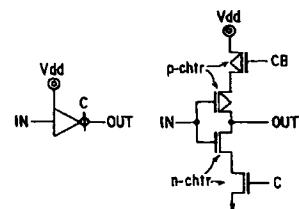
【図 17】



【四】 1 8】



【図 19】



【手続補正書】

【提出日】平成19年5月2日(2007.5.2)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】**【特許請求の範囲】****【請求項1】**

選択されたメモリセルのワード線に前記書き込み電圧を印加する前に、前記メモリセルユニット内の選択されたメモリセル以外の複数のメモリセルのワード線の中の少なくとも一部を0Vと前記書き込み電圧との間の電圧レベルを持つ中間電圧に設定し、且つ前記ビット線に少なくとも3種類の書き込み制御電圧を印加する書き込み回路と、

を備えた不揮発性半導体記憶装置であって、

前記ビット線に印加される前記少なくとも3種類の書き込み制御電圧のうちの少なくとも2つの電圧の印加タイミングは、前記書き込み電圧が前記選択されたメモリセルに印加されるタイミングよりも早いと共に、前記書き込み電圧と前記少なくとも3種類の書き込み制御電圧が同時にメモリセルに印加される期間が存在し、また前記中間電圧を対応するワード線に印加した後に前記書き込み電圧を前記選択されたメモリセルの制御ゲートに印加することを特徴とする不揮発性半導体記憶装置。

【請求項2】

電気的書き替えを可能とし n 個の記憶状態($n \geq 3$)を持つことが可能な複数のメモリセルが直列接続され、一端がビット線に接続されたメモリセルユニットと、

選択されたメモリセルのワード線に前記書き込み電圧を印加する前に、前記メモリセルユニット内の選択されたメモリセル以外の複数のメモリセルのワード線の中の少なくとも一部を0Vと前記書き込み電圧との間の電圧レベルを持つ中間電圧に設定し、且つ前記ビット線に少なくとも3種類の書き込み制御電圧を印加する書き込み回路と、

を備えた不揮発性半導体記憶装置であって、

前記ビット線への前記3種類の書き込み制御電圧の印加が開始された後に、前記書き込み電圧が前記選択されたメモリセルのワード線に印加されると共に、前記書き込み電圧と前記少なくとも3種類の書き込み制御電圧が同時にメモリセルに印加される期間が存在し、また前記中間電圧を対応するワード線に印加した後に前記書き込み電圧を前記選択されたメモリセルの制御ゲートに印加することを特徴とする不揮発性半導体記憶装置。

【請求項3】

電気的書き替えを可能とし n 個の記憶状態($n \geq 3$)を持つことが可能な複数のメモリセルが直列接続され、一端がビット線に接続されたメモリセルユニットと、

選択されたメモリセルのワード線に前記書き込み電圧を印加する前に、前記メモリセルユニット内の選択されたメモリセル以外の複数のメモリセルのワード線の中の少なくとも一部を0Vと前記書き込み電圧との間の電圧レベルを持つ中間電圧に設定し、且つ前記ビット線に少なくとも3種類の書き込み制御電圧を印加する書き込み回路と、

を備えた不揮発性半導体記憶装置であって、

前記少なくとも3種類の書き込み制御電圧は第1、第2及び第3の書き込み制御電圧であり、前記第1の書き込み制御電圧よりも前記第2の書き込み制御電圧は高く、前記第2の書き込み制御電圧よりも前記第3の書き込み制御電圧は高く、前記第1の書き込み制御電圧と前記第3の書き込み制御電圧の対応するビット線への設定開始のタイミングは前記第2の書き込み制御電圧の対応するビット線への設定開始のタイミングよりも早く、前記第1、前記第2及び前記第3の書き込み制御電圧の対応するビット線への設定開始後に前記書き込み電圧が前記選択されたメモリセルのワード線に印加されると共に、前記書き込み電圧と前記少なくとも3種類の書き込み制御電圧が同時にメモリセルに印加される期間が存在し、また前記中間電圧を対応するワード線に印加した後に前記書き込み電圧を前記

選択されたメモリセルの制御ゲートに印加することを特徴とする不揮発性半導体記憶装置。

【請求項 4】

前記第1の書き込み制御電圧と前記第3の書き込み制御電圧の対応するビット線への設定が開始された後に、前記第1の書き込み制御電圧に設定されたビット線の少なくとも一部が前記第2の書き込み制御電圧に設定され、続いて前記書き込み電圧が前記選択されたメモリセルのワード線に印加されることを特徴とする請求項3記載の不揮発性半導体記憶装置。

【請求項 5】

電気的書き替えを可能とし n 個の記憶状態 ($n \geq 3$) を持つことが可能な複数のメモリセルが直列接続され、一端がビット線に接続されたメモリセルユニットと、

選択されたメモリセルのワード線に前記書き込み電圧を印加する前に、前記メモリセルユニット内の選択されたメモリセル以外の複数のメモリセルのワード線の中の少なくとも一部を 0 V と前記書き込み電圧との間の電圧レベルを持つ中間電圧に設定し、且つ前記ビット線に少なくとも3種類の書き込み制御電圧を印加する書き込み回路と、

を備えた不揮発性半導体記憶装置であって、

前記少なくとも3種類の書き込み制御電圧は第1、第2及び第3の書き込み制御電圧であり、前記第1の書き込み制御電圧よりも前記第2の書き込み制御電圧は高く、前記第2の書き込み制御電圧よりも前記第3の書き込み制御電圧は高く、前記ビット線への前記少なくとも3種類の書き込み制御電圧の印加が開始された後に、前記書き込み電圧が前記選択されたメモリセルのワード線に印加され、

前記第1の書き込み制御電圧に設定されるビット線に対応する第1のメモリセルと前記第2の書き込み制御電圧に設定されるビット線に対応する第2のメモリセルと前記第3の書き込み制御電圧に設定されるビット線に対応する第3のメモリセルに対して、書き込み完了後には前記第1、前記第2及び前記第3のメモリセルは互いに異なる記憶状態に書き込まれると共に、前記書き込み電圧と前記少なくとも3種類の書き込み制御電圧が同時にメモリセルに印加される期間が存在し、また前記中間電圧を対応するワード線に印加した後に前記書き込み電圧を前記選択されたメモリセルの制御ゲートに印加することを特徴とする不揮発性半導体記憶装置。

【請求項 6】

前記第2の書き込み制御電圧は、 0 V より高く電源電圧より低い電圧であることを特徴とする請求項3～5のいずれかに記載の不揮発性半導体記憶装置。

【請求項 7】

前記中間電圧に設定されるワード線は、前記中間電圧に設定される前に電源電圧が印加されることを特徴とする請求項1～6の何れかに記載の不揮発性半導体記憶装置。

フロントページの続き

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

F ターム(参考) 5B125 BA02 BA19 CA06 CA08 DB08 DB11 DB19 EA05 EB01 EB07

ED07 EF02 EF03 EJ08 FA01 FA02